

基于 40 nm CMOS 工艺可快速锁定的宽带锁相环电路设计

谭 茗^{1,2}, 唐立军¹, 黄水龙², 谢海情¹

(1 长沙理工大学 物理与电子科学学院, 湖南 长沙 410004;

2 中国科学院 微电子研究所 射频集成电路研究室, 北京 100029)

摘 要: 通过改进鉴频鉴相器(PFD)的电路结构,增加一个控制模块自适应调整电荷泵的充放电电流大小,设计了一种可快速锁定的宽频带电荷泵锁相环电路.当鉴频鉴相器输出的相位误差值大于控制模块中的延迟时间 τ 时,打开控制开关增加电荷泵的电流,从而增加环路带宽,减少环路滤波器的电阻值,实现快速锁定,环路稳定性不变.当环路接近锁定时,调整带宽到预设的优化值,保证了系统性能的最优化.基于 SMIC 40 nm CMOS 工艺,完成电路设计与仿真.结果表明:在电源电压为 2.5 V 时,该锁相环可实现输出频率范围为 698~960 MHz,1 700~2 200 MHz,2 300~2 700 MHz,覆盖 GSM,TD-SCDMA,WCDMA,TD-LTE 四个通讯标准的工作频段,锁定时间小于 12 μ s.

关键词: 锁相环;快速锁定;宽频带;CMOS

中图分类号: TN911.8

文献标识码: A

文章编号: 1000-7180(2014)01-0156-04

Design of a Fast-Lock Phase-Locked Loop with Wide Band Width Based on 40 nm CMOS

TAN Ming^{1,2}, TANG Li-jun¹, HUANG Shui-long², XIE Hai-qing¹

(1 School of Physics and Electronic Science, Changsha University of Science and Technology, Changsha 410014, China;

2 Radio Frequency Integrated Circuit Department,

Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: Through improving the phase frequency discriminator circuit structure, and adding a control module to control charge pump current, a charge pump phase-locked loop circuit which has the characteristics of fast-lock and wide band has been designed. When the phase error value of the phase frequency discriminator is greater than the delay time τ of the control module, the control switch is opened to increase the charge pump current, the loop bandwidth is increased, at the same time the resistance of the loop filter is reduced, realized fast lock, loop stability do not change. When the loop is close to lock, the bandwidth is adjusted to the presupposed optimization value to get a system of optimal characteristics. Based on SMIC 40 nm CMOS process, a phase-locked loop is designed, contain circuit and layout design. The results of simulation show: The output frequency covered GSM, TD-SCDMA, WCDMA, TD-LTE four communication standards working frequency band, in other words, the output frequency ranges for 698~960 MHz, 1 700~2 200 MHz, 2 300~2 700 MHz with a setting time of less than 12 μ s at a 2.5 V supply.

Key words: phase-locked loop; fast lock; wide rage; CMOS

1 引言

近年来无线通信技术发展迅速,涌现了许多新

的标准,如 WLAN, GSM, TD-SCDMA, WCDMA, TD-LTE 等,以满足现代通信系统对高移动性和高数据传输率的需求.频率合成器作为各种通讯系统

收稿日期: 2013-02-27; 修回日期: 2013-04-19

基金项目: 03 国家重大专项(2012ZX03001018-004),湖南省科技计划项目(2011GK3116)

的重要功能模块,为通信系统提供本振信号和各种时钟信号.宽频带锁相环是通信系统实现高数据传输率的关键技术之一^[1].因此,设计一款覆盖 GSM, TD_SCDMA, WCDMA, TD_LTE 四个通讯标准工作频带的锁相环电路具有重大意义和应用价值.

传统锁相环电路中,作为重要设计参数之一的环路带宽,锁定时间、相位噪声、杂散特性参数对它的影响是相互矛盾的^[2].一方面,为了让环路保持稳定,通常必须约束环路带宽小于输入频率的 1/10,同时带宽较小有利于抑制杂散.另一方面,锁相环的环路带宽与系统的锁定时间成反比,环路带宽越大,锁相环系统的锁定时间就越短^[3].相位噪声则根据系统需求,在特定的环路带宽内获得最优值.

为了兼顾锁相环的锁定时间、杂散、相位噪声性能,本文基于 SMIC 40 nm CMOS 工艺,通过改进电路结构,设计一种可快速锁定的宽频带电荷泵锁相环电路.

2 快速锁定电荷泵锁相环电路设计

本文设计的电荷泵锁相环结构主要包括晶体振荡器(OSC)、鉴频鉴相器(PFD)、电荷泵(CP)、环路滤波器(LPF)、压控振荡器(VCO)、分频器(DIV)、带宽控制(DAPD)等模块^[4],如图 1 所示.在锁相环锁定状态下,DIV 的反馈信号与 OSC 输入参考信号的相位为零或者为一常数值,则 VCO 输出信号频率等于输入信号频率的 N 倍.若两者之间的相位差发生变化,PFD 将检测到这种变化,通过 CP 将相位差的变化转化为电流量,再由 LPF 滤除其中的交流分量,最后产生直流控制电压调节 VCO 的输出频率,逐渐减少分频器输出信号和输入参考信号的相位差,并最终达到锁定的状态.该锁相环主要通过改进鉴频鉴相器、电荷泵和环路滤波器的电路结构,增加带宽控制模块,控制电荷泵的充放电电流和环路滤波器的电阻来实现快速锁定功能,并同时保持环路的稳定性.

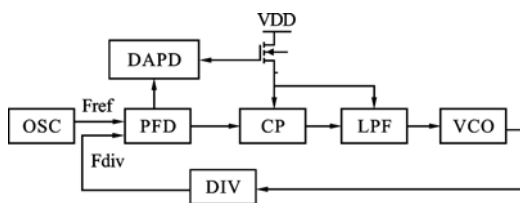


图 1 电荷泵锁相环整体结构框图

2.1 鉴频鉴相器设计

本文采用的鉴频鉴相器结构如图 2 所示.为消除鉴相死区,在 PFD 的复位电路上加入延时 τ ,然

而, τ 过小不能较好消除鉴相死区, τ 过大不能实现稳定鉴相,本设计中取 $\tau = 6$ ns.该 PFD 采用 EDC (边缘检测单元)取代传统结构中的 D 触发器,EDC 电路如图 3 所示.在 EDC 中,通过控制 M_k 的通断来防止电流的泄漏,从而比传统的鉴频鉴相器更稳定.当 EDC 检测到输入上升沿,输出信号(out)变为高电平,则晶体管 M_k 被关断,直到检测到复位信号时,则 out 再一次变为低电平.输出为低电平时, M_k 导通, M_k 导通来防止有微弱电流从 X 处泄漏^[4].PFD 的输出信号 UPB 和 DN 作为数字 DAPD (辅助鉴相器)模块的输入信号.DAPD 通过比较两路信号,确定是否进入快速锁定模式.

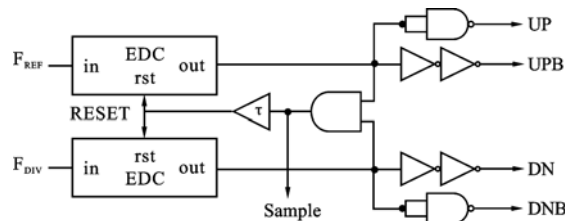


图 2 PFD 结构框图

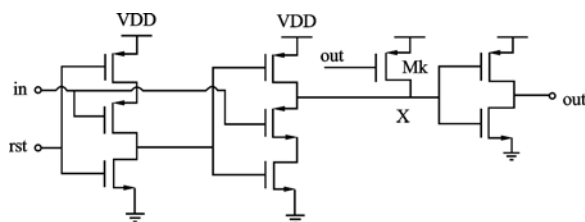


图 3 EDC 电路图

2.2 数字辅助鉴相器(DAPD)设计

本文设计数字 DAPD (辅助鉴相器)来调节电荷泵充放电电流大小和环路滤波器的电阻大小.数字 DAPD 结构框图和工作时序图如图 4 所示.PFD 的输出信号 UPB 和 DN 经过一个或门和一个延时电路后产生信号 D_i ,延迟时间 τ 为被检测到的相位误差的临界值.通过比较 τ 与 UPB 和 DN 的差值,确定电路的工作模式.如果差值大于 τ ,则保持在快速锁定时间;如果差值小于 τ ,则转到窄带宽时间.图 4 (b)和(c)分别显示了相位差大于 τ 和小于 τ 的情况.当信号 Sample 滞后于 D_i ,表明 UPB 和 DN 的相位差大于 τ ,数字辅助鉴相器输出 Mode 为低电平,打开电荷泵和环路滤波器中的控制开关,进入宽频带模式;当锁相环接近锁定时,UPB 和 DN 的相位很接近,相位差小于 τ ,输出信号 Mode 变成高电平,进入窄频带模式.

2.3 电荷泵设计

电荷泵的性能直接影响着锁相环的杂散性能^[5].改善杂散性能,需减少充放电电流失配、电荷

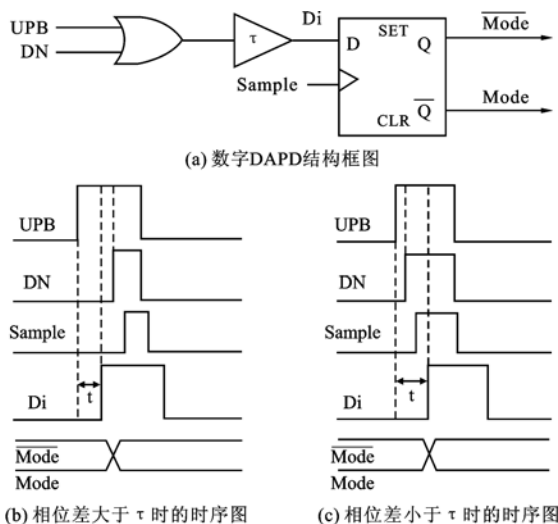


图4 数字 DAPD 结构框图与时序图

共享和电荷注入等非理想效应^[6]. 本文设计的电荷泵电路如图 5 所示. 运算放大器 A_1 、 A_2 可减小 I_{up} 和 I_{dn} 的失配. 另外放大器 A_2 还可避免在 M_{n4} 和 M_{p4} 同时导通(此时 M_{n5} 和 M_{p5} 同时关断)时, n_2 处电压大幅度波动. 从而在开关状态转换过程中, 保持 n_4 和 n_5 的电位稳定, 避免电荷共享效应.

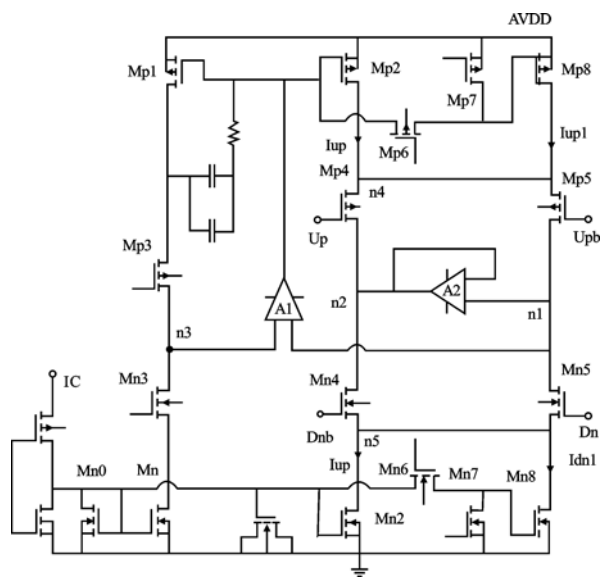


图5 电荷泵电路结构

与文献[5]比较, 本设计通过加入控制开关 M_{p6} , M_{p7} , M_{p8} , M_{n6} , M_{n7} , M_{n8} 增加电荷泵充放电电流, 从而增加环路带宽进入快速锁定模式. 当鉴相鉴频器模块检测到输出信号与参考信号的相差较大时, DAPD 模块输出 Mode 为低电平, $\overline{\text{Mode}}$ 为高电平, 即 M_{p6} 和 M_{n6} 的栅极电压为高, M_{p6} 和 M_{n6} 导通, 电荷泵充放电电流增大为原来的四倍, 增加环路带宽实现快速锁定. 当接近锁定时, M_{p6} 和 M_{n6} 关断, 自适应调节减少带宽, 环路稳定, 减少杂散.

2.4 环路滤波器设计

环路滤波器是锁相环的重要电路模块之一, 其性能参数决定了整个电路的环路带宽、锁定时间、相位噪声和杂散性能^[7]. 本设计采用三阶环路滤波器来降低高频调制噪声和参考杂散, 电路结构如图 6 所示, 虚线部分为片外结构减少了片内面积. 当带宽控制模块开关打开, M_0 和 M_1 同时导通, 电荷泵电流增大为原来的 4 倍, 同时环路滤波器电阻变为原来的 $1/2$, 保证锁相环环路带宽 F_c 和零点频率 F_z 同时增大两倍, 维持相位裕度不变, 系统稳定性不变, 而锁定时间减少为原来的 $1/2$.

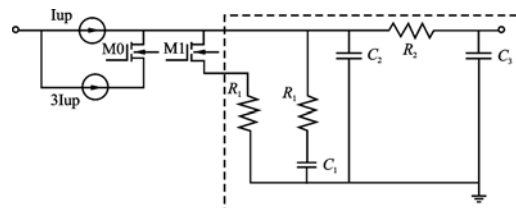


图6 环路滤波器结构

3 仿真验证与分析

基于 SMIC 40 nm CMOS 工艺, 电源电压为 2.5 V, 采用 Cadence 软件完成电路设计与仿真, 以及版图设计. 锁相环整体版图如图 7 所示, 芯片尺寸为 $2 \text{ mm} \times 2 \text{ mm}$.

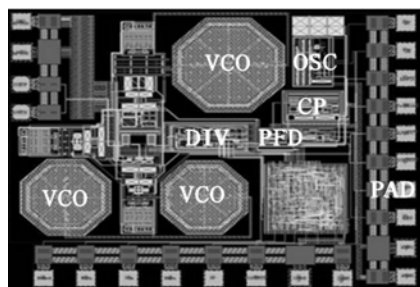


图7 锁相环整体版图

设置 $f_{\text{ref}} = 45 \text{ MHz}$, $F_{\text{div}} = 40 \text{ MHz}$ 时, PFD 的仿真结果如图 8 所示: 当参考信号 F_{ref} 上升沿来临时, UP 为高电平, 当反馈信号 F_{div} 上升沿来临时, DN 为高电平, 当参考信号与反馈信号同时为高时则复位, UP 和 DN 都为低电平, 实现鉴相鉴频功能.

在直流电压为 1 V 时, 电荷泵电流匹配仿真结果如图 9 所示. 可以看出在工作电压范围 $0 \sim 2.5 \text{ V}$ 内, 电荷泵电流失配约为 0.

锁相环 VCO 控制电压锁定的瞬态仿真结果如图 10 所示. 曲线 1 为加入带宽控制模块时, VCO 控制电压的锁定时间约为 $12 \mu\text{s}$; 曲线 2 为没有加入带

宽控制模块时,VCO控制电压的锁定时间约为24 μs ,可以看到加入带宽控制模块后,锁定时间明显缩短。

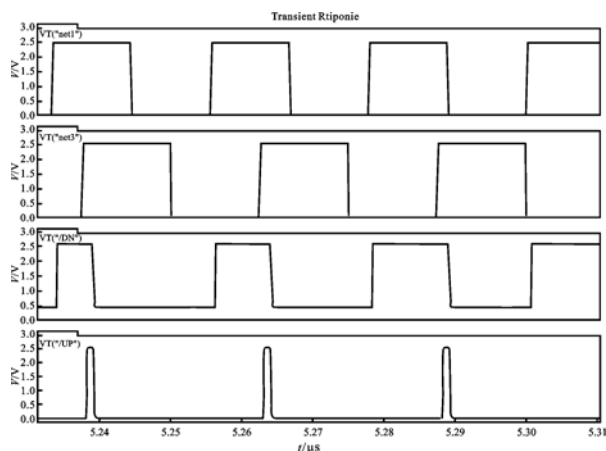


图8 鉴相鉴频器瞬态仿真结果

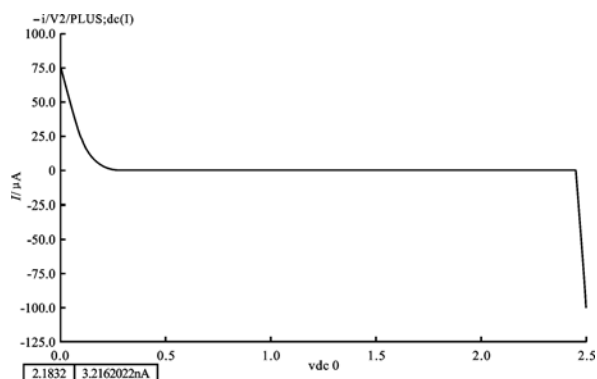


图9 电荷泵直流仿真结果

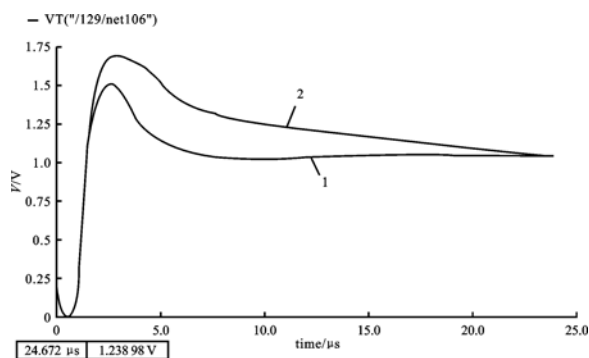


图10 锁相环锁定曲线

4 结束语

本文设计了一种可快速锁定的宽频带电荷泵锁相环电路.通过采用边缘检测单元设计鉴频鉴相器取代鉴相器增大锁定捕获范围,加入延时模块,消除

死区,增加其稳定性;改进电荷泵电路,减小电流失配,避免电荷共享;加入带宽控制模块,在锁定前采取快速锁定技术,锁定后将带宽调整至系统性能最优值.该频率合成器基于SMIC 40 nm CMOS工艺,在电源电压为2.5 V时,实现锁定时间小于12 μs ,输出频率范围为698~960 MHz,1 700~2 200 MHz,2 300~2 700 MHz.

参考文献:

- [1] 张利. 分数N频率合成器若干关键技术研究[D]. 北京:清华大学微电子学研究所,2007.
- [2] 谢新辉,唐立军,邓敏. 一种低功耗2D DFT芯片的前端设计与验证[J]. 微电子学与计算机,2012,29(12): 166-170.
- [3] 雷鑑铭,何威,邹志革,等. 快速锁定的宽频带CMOS锁相环设计[J]. 华中科技大学学报,2012,40(7): 71-74.
- [4] Wei-Hao Chiu, Tai-Shun Chan, Tsung-Hsien Lin. A 5.5-GHz 16-mW fast-locking frequency synthesizer in 0.18- μm CMOS[C]//IEEE Asian Solid-State Circuits Conference, Korea:IEEE,2007:4-17.
- [5] 王小松. 宽带高性能CMOS频率综合器研究[D]. 北京:中国科学院研究生院,2010.
- [6] 毕查德拉扎维. 模拟CMOS集成电路设计[M]. 西安:西安交通大学出版社,2011:247-249.
- [7] Keliu Shu, Edgar Sanchez-Sinencio. Cmos pll synthesizers analysis and design [M]. Berlin:Springer Science, 2005:58-60.

作者简介:



谭茗女,(1986—),硕士研究生.研究方向为射频集成电路设计.

唐立军男,(1963—),博士,教授,硕士生导师.研究方向为信号检测与处理、集成电路设计.

黄水龙男,(1975—),博士,副研究员.研究方向为射频、混合、数字集成电路设计.

谢海情男,(1982—),博士.研究方向为微纳器件与集成.